



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10163883

(43)Date of publication of application: 19.06.1998

(51)Int.Cl.

H03M 13/12

(21)Application number: 08313431

(71)Applicant:

MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing: 25.11.1996

(72)Inventor:

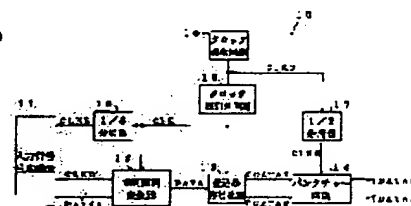
MACHIDA TAKASHI

## (54) ENCODING RATE VARIABLE ERROR CORRECTION TRANSMITTER

## (57)Abstract:

PROBLEM TO BE SOLVED: To generate plural convolution encoded data with one frequency clock generator.

SOLUTION: Parallel data DATAB outputted by an input signal generator 11 are given to a parallel-serial converter 12 to be converted into parallel data DATA. A clock thinning circuit 16 thins (n) pieces among (m) clocks CLK0 outputted by a clock generating circuit 15 based on a coded ratio (m-n)/m to generate data read clock CLK. A convolution encoder 13 performs two kinds of convolution operations and outputs coded data CDATA 1 and 2 to which an error correction code is attached by the clock CLK. A puncture circuit 14 eliminates data at a prescribed position from parallel coded data according to a coding ratio, synchronizes it with a symbol clock CLKS and outputs transmitting symbol data.



## LEGAL STATUS

[Date of request for examination]

14.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163883

(43) 公開日 平成10年(1998)6月19日

(51) Int.Cl.<sup>6</sup>

H 0 3 M 13/12

識別記号

F I

H 0 3 M 13/12

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号 特願平8-313431

(22) 出願日 平成8年(1996)11月25日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 町田 高

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

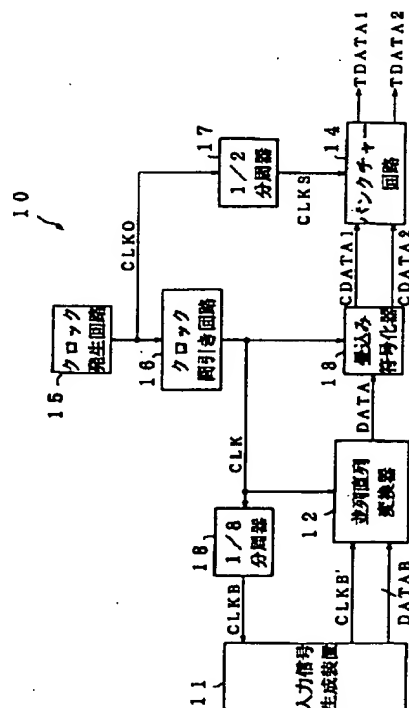
(74) 代理人 弁理士 岡本 宜喜

(54) 【発明の名称】 符号化率可変誤り訂正送信装置

(57) 【要約】

【課題】 1つの周波数クロック発生器で、複数の畳込み符号化データを生成できるようにすること。

【解決手段】 入力信号生成装置11の出力する並列データDATABを並列直列変換器12に与え、並列データDATAに変換する。クロック間引き回路16は、符号化率  $(m-n)/m$  に基づいてクロック発生回路15の出力するm個クロックCLK0のうちn個を間引き、データ読出クロックCLKを生成する。畳込み符号化器13は2種類の畳み込み演算を行い、クロックCLKにより誤り訂正符号を付加した符号化データCDATA1, 2を出力する。パンクチャー回路14は、並列の符号化データから符号化率により所定位置のデータを削除し、シンボルクロックCLKSに同期して送信シンボルデータを出力する。



## 【特許請求の範囲】

【請求項1】 信号源より読み出された $m-n$  ( $m, n$  は $m > n$ を満足する正整数)個のデータに対して $m$ 個のデータを符号化率 $R = (m-n)/m$ の誤り訂正付加符号とすると、前記信号源のデータを符号化率 $R$ で畳み込み符号化して送信する符号化率可変誤り訂正送信装置であって、

送信シンボル周波数の2倍の周波数のクロックを生成するクロック発生手段と、

前記クロック発生手段の出力するクロックのうち、 $m$ 個のクロック毎に $n$ 個のクロックを間引いてデータ読出クロックを生成するクロック間引き手段と、

前記クロック発生手段の出力するクロックを $1/2$ に分周して送信シンボルクロックを生成する $1/2$ 分周手段と、

前記クロック間引き手段のデータ読出クロックを入力し、 $1/p$  ( $p$ は2以上の正整数)に分周し分周クロックを生成する $1/p$ 分周手段と、

入力クロックと同期して前記信号源から入力された並列データを内部バッファに一時保持し、前記クロック間引き手段より出力されるデータ読出クロックに同期して前記内部バッファの並列データを直列データに変換して出力する並列直列変換手段と、

前記並列直列変換手段から出力される直列データに対して2種類の畳み込み符号化を行い、複数の符号化データを並列に出力する畳み込み符号化手段と、

前記畳み込み符号化手段の出力する並列の符号化データから、前記符号化率 $R$ により予め定められた位置の符号化データを消去して、残りの符号化データを前記 $1/2$ 分周手段から出力されるシンボルクロックに同期し、且つ前記符号化率 $R$ により予め定められた順序で並び換えて2つの送信シンボルデータを出力するバンクチャータ手段と、を具備し、

前記 $1/p$ 分周手段の出力する分周クロックに同期して前記信号源より読み出された並列データ及び前記分周クロックに同期した入力クロックを前記並列直列変換手段に与え、前記クロック間引き手段の正整数 $m, n$ の値を変えることにより、任意の符号化率 $R$ の送信シンボルデータを送信するようにしたことを特徴とする符号化率可変誤り訂正送信装置。

【請求項2】 信号源より読み出された $m-n$  ( $m, n$  は $m > n$ を満足する正整数)個のデータに対して $m$ 個のデータを符号化率 $R = (m-n)/m$ の誤り訂正付加符号とすると、前記信号源のデータを符号化率 $R$ で畳み込み符号化して送信する符号化率可変誤り訂正送信装置であって、

送信シンボル周波数の2倍の周波数のクロックを生成するクロック発生手段と、

前記クロック発生手段の出力するクロックのうち、 $m$ 個のクロック毎に $n$ 個のクロックを間引いてデータ読出

クロックを生成するクロック間引き手段と、

前記クロック発生手段の出力するクロックを $1/2$ に分周して送信シンボルクロックを生成する $1/2$ 分周手段と、

前記クロック間引き手段のデータ読出クロックを入力し、 $1/p$  ( $p$ は2以上の正整数)に分周し分周クロックを生成する $1/p$ 分周手段と、

前記分周クロックと同期して前記信号源から入力された並列データを内部バッファに一時保持し、前記クロック間引き手段より出力されるデータ読出クロックに同期して前記内部バッファの並列データを直列データに変換して出力する並列直列変換手段と、

前記並列直列変換手段から出力される直列データに対して2種類の畳み込み符号化を行い、複数の符号化データを並列に出力する畳み込み符号化手段と、

前記畳み込み符号化手段の出力する並列の符号化データから、前記符号化率 $R$ により予め定められた位置の符号化データを消去して、残りの符号化データを前記 $1/2$ 分周手段から出力されるシンボルクロックに同期し、且つ前記符号化率 $R$ により予め定められた順序で並び換えて2つの送信シンボルデータを出力するバンクチャータ手段と、を具備し、

前記並列直列変換手段が、前記 $1/p$ 分周手段の出力する分周クロックを用いて前記信号源の並列データを読み出し、前記クロック間引き手段の正整数 $m, n$ の値を変えることにより、任意の符号化率 $R$ の送信シンボルデータを送信するようにしたことを特徴とする符号化率可変誤り訂正送信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、入力データに畳み込み誤り訂正付加符号を付加すると共に、任意の符号化率を選択的に使用してデジタル送信を行う符号化率可変誤り訂正送信装置に関するものである。

## 【0002】

【従来の技術】近年のデジタル通信システムでは、畳み込み符号化においてバンクチャド処理により符号化率を容易に変えることができるため、畳み込み符号化装置が様々な分野で実用化されている。例えばバンクチャータ符号化の技術を用いる符号化率可変誤り訂正送信装置としては、文献「符号化率可変ヴィタビ復号器とその動作に関する研究」Y. Yasuda et. al. "Development variable rate decoder and its Performance characteristic" 6th Int. Conf. on Dig. Sat. Commun. に詳しく記述されている。

【0003】図7は従来の符号化率可変誤り訂正送信装置（以下、畳み込み符号化装置という）20の構成例を示すブロックである。符号化率 $R = B/A$ とは、符号量 $B$ の送信データに例えば2種類の畳み込み処理を行うことにより、誤り訂正付加符号を生成して送信する場合、送

信シンボルAに含まれる誤り訂正付加符号の数がA-Bであることを意味する。図7の畳込み符号化装置20は、符号化率 $R=3/4$ 及び $R=5/6$ の符号化データ生成する装置である。同図において、DATABは並列入力データ、CLKBは入力クロックである。またTDATA1、TDATA2は出力シンボルである。

【0004】畳込み符号化装置20は、並列入力データを直列データに変換する直列並列変換器21、符号化率 $1/2$ で2種類の畳込み符号化をする畳込み符号化器22、バンクチャド処理をするバンクチャー回路23、符号化率 $3/4$ の場合に入力クロックに同期して周波数が出力シンボルクロックの $3/2$ 倍である同期クロックを発生する第1の同期式クロック発生器24、符号化率 $5/6$ の場合に入力クロックに同期して周波数が出力シンボルクロックの $5/3$ 倍である同期クロックを発生する第2の同期式クロック発生器25、符号化率に応じて同期式クロック発生器24又は同期式クロック発生器25の出力を選択する切替スイッチ26、入力クロックに同期してシンボルクロックを発生する同期式シンボルクロック発生器27で構成される。

【0005】なお、同期式クロック生成器24、25、及び同期式シンボルクロック発生器27は一般にPLL同期式の発振回路を使用する。図8～図10は畳込み符号化装置20の各部の信号のようすを示すタイムチャートである。

【0006】以上のように構成された畳込み符号化装置20の動作を説明する。まず、並列直列変換器21に図8(b)に示すように8ビットの並列のデータが入力される。また符号化率をRとし、送信シンボル周波数を $f_s$ とすると、図8(a)に示すように $2 \cdot f_s \cdot R/8$ の周波数の入力クロックCLKBが並列直列変換器21に入力される。この8ビットの並列データDATABは、図8(c)に示すようにデータ読み出しクロックCLK1により図8(d)のような直列データDATA'に変換される。そしてこのデータDATA'を畳込み符号化器22に入力すると、図9(b)に示す1つの入力データD(j)に対し、図9(c)、(d)に示すようにタイミングjにおける符号化データCDATA1'、CDATA2'として、データC1(j)、C2(j)が同時に出力される。

【0007】図9(a)～(g)は符号化率 $3/4$ の場合のデータ処理を示すのに対し、図10(a)～(g)は符号化率 $5/6$ の場合のデータ処理を示す。図9

(c)、(d)又は図10(c)、(d)に示すデータCDATA1'、CDATA2'をバンクチャー回路23に入力すると、符号化率Rにより予め定められた位置のデータが消去される。図9ではC1(2)、C2

(3)が消去されたデータであり、図10ではC1(2)、C2(3)、C1(4)、C2(5)が消去されたデータである。どのデータC1(x)、C2(y)

が消去されるかは、ヴァイビ復号時の誤り訂正特性が最適になるようにその消去ルールが予め設定されている。

【0008】そして、図9及び図11の(e)に示す出力シンボル周波数クロックCLKSを用い、残りのデータを符号化率により予め定められた順序で読み出すことにより、図9(f)、(g)及び図11(f)、(g)に示すような出力シンボルデータTDATA1、TDATA2を生成することができる。このような間引き処理をバンクチャド処理と呼ぶ。

【0009】ここで、並列直列変換器21のデータ読み出しクロックCLK'と、畳込み符号化器22の動作クロックCLK''は、符号化率Rに応じて切替スイッチ26により切り替えられて出力される。即ち、同期式クロック発生器24と25のうち、符号化率Rが $3/4$ の場合は同期式クロック発生器24の出力クロックCLK1を選択し、符号化率Rが $5/6$ の場合は同期式クロック発生器25の出力クロックCLK2を選択する。

【0010】

【発明が解決しようとする課題】しかしながら上記のような構成では、さらに多くの符号化率R、例えば $R=2/3$ 、 $R=7/8$ などの符号化率の機能を追加していく場合、同期式クロック発生器をその符号化率の数だけ設けなければならない、送信装置の部品点数が多くなり、かつコストアップになってしまうという問題点を有していた。

【0011】本発明は、このような従来の問題点に鑑みてなされたものであって、一つの固定クロック発生器で複数の符号化率のバンクチャド畳込みデータを生成することができる符号化率可変誤り訂正送信装置を提供するものである。

【0012】

【課題を解決するための手段】本願の請求項1記載の発明は、信号源より読み出された $m-n$  ( $m$ ,  $n$ は $m>n$ を満足する正整数)個のデータに対して $m$ 個のデータを符号化率 $R=(m-n)/m$ の誤り訂正付加符号とすると、前記信号源のデータを符号化率Rで畳込み符号化して送信する符号化率可変誤り訂正送信装置であって、送信シンボル周波数の2倍の周波数のクロックを生成するクロック発生手段と、前記クロック発生手段の出力するクロックのうち、 $m$ 個のクロック毎に $n$ 個のクロックを間引いてデータ読出クロックを生成するクロック間引き手段と、前記クロック発生手段の出力するクロックを $1/2$ に分周して送信シンボルクロックを生成する $1/2$ 分周手段と、前記クロック間引き手段のデータ読出クロックを入力し、 $1/p$  ( $p$ は2以上の正整数)に分周し分周クロックを生成する $1/p$ 分周手段と、入力クロックと同期して前記信号源から入力された並列データを内部バッファに一時保持し、前記クロック間引き手段より出力されるデータ読出クロックに同期して前記内部バッファの並列データを直列データに変換して出力する並

## 5

列直列変換手段と、前記並列直列変換手段から出力される直列データに対して2種類の畳込み符号化を行い、複数の符号化データを並列に出力する畳込み符号化手段と、前記畳込み符号化手段の出力する並列の符号化データから、前記符号化率Rにより予め定められた位置の符号化データを消去して、残りの符号化データを前記1/2分周手段から出力されるシンボルクロックに同期し、且つ前記符号化率Rにより予め定められた順序で並び換えて2つの送信シンボルデータを出力するバンクチャータ手段と、を具備し、前記1/p分周手段の出力する分周クロックに同期して前記信号源より読み出された並列データ及び前記分周クロックに同期した入力クロックを前記並列直列変換手段に与え、前記クロック間引き手段の正整数m, nの値を変えることにより、任意の符号化率Rの送信シンボルデータを送信するようにしたことを特徴とするものである。

【0013】また、本願の請求項2記載の発明は、信号源より読み出されたm-n (m, nはm>nを満足する正整数) 個のデータに対してm個のデータを符号化率R = (m-n)/mの誤り訂正付加符号とすると、前記信号源のデータを符号化率Rで畳込み符号化して送信する符号化率可変誤り訂正送信装置であって、送信シンボル周波数の2倍の周波数のクロックを生成するクロック発生手段と、前記クロック発生手段の出力するクロックのうち、m個のクロック毎にn個のクロックを間引いてデータ読出クロックを生成するクロック間引き手段と、前記クロック発生手段の出力するクロックを1/2に分周して送信シンボルクロックを生成する1/2分周手段と、前記クロック間引き手段のデータ読出クロックを入力し、1/pに分周し分周クロックを生成する1/p分周手段と、前記分周クロックと同期して前記信号源から入力された並列データを内部バッファに一時保持し、前記クロック間引き手段より出力されるデータ読出クロックに同期して前記内部バッファの並列データを直列データに変換して出力する並列直列変換手段と、前記並列直列変換手段から出力される直列データに対して2種類の畳込み符号化を行い、複数の符号化データを並列に出力する畳込み符号化手段と、前記畳込み符号化手段の出力する並列の符号化データから、前記符号化率Rにより予め定められた位置の符号化データを消去して、残りの符号化データを前記1/2分周手段から出力されるシンボルクロックに同期し、且つ前記符号化率Rにより予め定められた順序で並び換えて2つの送信シンボルデータを出力するバンクチャータ手段と、を具備し、前記並列直列変換手段が、前記1/p分周手段の出力する分周クロックを用いて前記信号源の並列データを読み出し、前記クロック間引き手段の正整数m, nの値を変えることにより、任意の符号化率Rの送信シンボルデータを送信するようにしたことを特徴とするものである。

【0014】このような構成により、正整数m, nを変

## 6

えることにより、1個のクロック発生手段を用いて任意の符号化率の誤り訂正付加符号を生成することができる。そして伝送経路の雑音レベルに応じて特定の符号化率の送信シンボルデータを送信することができる。

【0015】特に請求項2記載の構成では、上記の作用に加えて、信号源と符号化率可変誤り訂正送信装置とのケーブル配線を2本で済ますことができる。

【0016】

【発明の実施の形態】

(実施の形態1) 本発明の第1の実施の形態における符号化率可変誤り訂正送信装置(畳込み符号化装置)について、図面を参照しながら説明する。図1は本実施の形態の畳込み符号化装置10の構成を示すブロック図である。畳込み符号化装置10には、従来例と同様に並列入力データを直列データに変換する直列並列変換器12と、直列データが入力されると2種類の畳込み符号化をする畳込み符号化器13と、2組の符号化データに対してバンクチャド処理を行うバンクチャータ回路14とが設けられている。

【0017】畳込み符号化装置10の前段に設けられた入力信号生成装置11は、入力クロックCLKBに同期して並列データDATAB(ここでは8ビットとする)を出力する信号源である。並列直列変換器12は内部バッファを有し、入力クロックCLKB'に基づいて並列データDATABを内部バッファに蓄積し、データ読出クロックCLKに同期して内部バッファからデータを読み出し、直列データDATAに変換して出力するものである。

【0018】畳込み符号化器13は、例えば1ビット遅延器が多数直列に接続された回路と、複数の特定された遅延器の出力の排他的論理和を演算する排他的論理和回路からなる畳込み回路が2組設けられ、2種類の畳込み演算を行うものである。バンクチャータ回路14は指定された符号化率Rにより、予め定められた位置の畳込み符号化データを消去して、残りの符号化データを1/2分周器17からのシンボルクロックCLKSに同期して、符号化率により予め定められた順序で出力シンボルデータを生成する回路である。

【0019】クロック発生回路15はシンボルクロックCLKSの2倍の周波数のクロックCLK0を発生する発生器である。クロック間引き回路16は符号化率Rが $B/A = (m-n)/m$  (m, nはm>nを満足する正整数)の場合、入力されたm個のクロックCLK0に対してクロックをn回変化させないで出力する間引き回路である。1/2分周器17は入力クロックCLK0を1/2に分周する分周器である。1/8分周器18は入力された非周期的なクロックCLKの8クロックごとに1クロックを分周クロックとして出力する分周器である。尚、一般的にはpビットデータを最小単位符号とするときは、1/p分周器とする。

【0020】このように構成された畳込み符号化装置10の動作について、図2～図5を用いて説明する。まず、図1のクロック発生器15は図2(a)に示すように出力シンボル周波数の2倍の周波数のクロックCLK0を発生する。符号化率が $3/4$ の場合、即ち $m=4$ 、 $n=1$ ではこのクロックCLK0をクロック間引き回路16により、4個のクロックごとに1回クロックを変化させないで出力する。この出力が図2(b)のCLKである。次にこのクロックCLKを $1/8$ 分周器18に入力し、8クロックに1回クロックを出力する。これが図2(c)のCLKBである。

【0021】そしてこのクロックCLKBを入力信号生成装置11に入力する。そして図2(d)に示すように送信データDATABを並列に読み出すと共に、分周クロックCLKBを入力信号生成装置11で折り返して入力クロックCLKB'を出力させ、並列データDATABを直列並列変換器12に入力して内部バッファに保持する。内部バッファに保持されたデータは、クロック間引き回路16からのデータ読出クロックCLKによって読み出され、直列データDATAに変換される。これを図2(e)に示す。本図に示すようにデータD(1)～D(9)の保持期間はデータによって異なる。

【0022】図3は図2の時間軸を少し拡大したタイムチャートである。畳込み符号化器13に入力された図3(c)のデータDATAは、2種類の畳み込み演算により誤り訂正付加符号が付加され、図3(d)、(e)のように符号化データCDATA1、及びCDATA2に変換される。そしてこれらのデータはバンクチャ回路14に入力される。一方、クロック発生器15からの出力CLK0は $1/2$ 分周器17に入力され、図3(h)に示すシンボルクロックCLKSが生成される。そこでバンクチャ回路14は、符号化率R、ここでは $3/4$ により予め定められた位置のデータC1(2)、C2(3)を消去し、前述の送信シンボルクロックCLKSによって送信データTDATA1、及びTDATA2を出力する。これらの送信データが図3(f)、(g)に夫々示すC1(1)、C2(2)、及びC2(1)、C1(3)である。

【0023】図3に示すようにクロックCLK0の4周期でデータの入出力を考えると、出力シンボルデータTDATA1のC1(1)、C2(2)と、TDATA2のC2(1)、C1(3)とが伝送される。そして図示しない符号化率可変誤り訂正受信装置(畳込み復号化装置)では、これらのデータC2(1)及びC2(2)と、C2(1)及びC1(3)とを用いて、バンクチャされた位置にヌルデータを挿入した後、ヴィタビ復号法によりデータD(1)～D(3)を再生する。即ち送信データTDATA4ビットに対してデータD(i)を3ビット復号するので、符号化率Rが $3/4$ となる。

【0024】次に、符号化率が $5/6$ の場合の動作を図

4及び図5に示す。この場合は $m=6$ 、 $n=1$ であり、クロック間引き回路16では図4(a)に示す6個のクロックCLK0ごとに1回クロックを変化させないで出力し、図4(b)に示すようなデータ読出クロックCLKを生成する。このクロックCLKを並列直列変換器12に与えると、図4(e)のようにデータの保持期間が夫々異なる直列データDATAが得られる。

【0025】図5は図4の時間軸を少し拡大したタイムチャートである。畳込み符号化器13ではクロック間引き回路16の出力するクロックCLKを用いて2種類の畳み込み演算が行われ、誤り訂正付加符号が付加される。こうして図5(c)のデータDATAが図5

(d)、(e)のように符号化データCDATA1、CDATA2に夫々変換される。そしてこれらのデータはバンクチャ回路14に入力され、 $1/2$ 分周器17の出力する送信シンボルクロックCLKSにより、符号化率で予め定められた位置のデータ、例えばC1(2)、C2(3)、C1(4)、C2(5)が夫々消去される。そして図5(h)に示す送信シンボルクロックCLKSによって送信データTDATA1、及びTDATA2が出力される。これらの送信データが図5(f)、

(g)に示すC1(1)、C2(2)、C2(4)、及びC2(1)、C1(3)、C1(5)である。

【0026】図5に示すようにクロックCLK0の6周期でデータの入出力を考えると、出力シンボルデータTDATA1のC1(1)、C2(2)、C2(4)と、TDATA2のC2(1)、C1(3)、C1(5)とを伝送する。そして図示しない符号化率可変誤り訂正受信装置(畳込み復号化装置)では、これらのデータC1(1)～C2(4)と、C2(1)～C1(5)を夫々

用いて、ヴィタビ復号法によりデータD(1)～D(5)を再生する。即ち送信シンボルTDATA6ビットに対してデータD(i)を5ビット復号するので、符号化率Rが $5/6$ となる。

【0027】このように受信装置側で、過去に遡ってデータの遷移状態を類推したとき、尤度値の低いと思われる位置の符号化データを、予め送信装置のバンクチャ回路14内で消去する。そしてシンボルクロックCLKSによって送信データTDATA1、及びTDATA2を出力するようにしている。尚、他の符号化率、例えば $R=2/3$ 、 $R=7/8$ に関してもクロック間引き回路16でクロックの間引き率を制御することにより、1個のクロック発生回路15を用いて送信データを生成することができる。

【0028】以上のような方法によれば、通信衛星や放送衛星における空中の電波の減衰状況、又はケーブルを用いたデータ伝送のように伝送路における寄生雑音のレベルに応じて、送信装置と受信装置とで符号化率を連動させて変化させることにより、データの誤り率を所定値以下になるよう適応的に制御することができる。

【0029】（実施の形態2）次に、本発明の第2の実施の形態における符号化率可変誤り訂正送信装置（畳込み符号化装置）について、図面を参照しながら説明する。図6は本実施の形態の畳込み符号化装置10Aの構成を示すブロック図であり、直列並列変換器12A、畳込み符号化器13、バンクチャージ回路14、クロック発生回路15、クロック間引き回路16、1/2分周器17、1/8分周器（一般的には1/p分周器）18を含んで構成されることは第1の実施の形態と同一である。

【0030】入力信号生成装置11Aは、入力クロックCLKBに同期して並列データDATABを出力する信号源である。本実施の形態の畳込み符号化装置10Aが第1の実施の形態の畳込み符号化装置10と異なるのは、1/8分周器18の出力する分周クロックCLKBを入力信号生成装置11Aに入力すると共に、並列直列変換器12Aに入力させるように構成したことである。

【0031】このように構成すると、並列直列変換器12Aでは入力データDATABを畳込み符号化装置10Aの内部からのクロックCLKBで取り込むことができる。こうすると、入力信号生成装置11Aと畳込み符号化装置10Aとの接続ケーブルを減らすことができる。尚、並列データDATABに対して畳込み符号化を行い、指定された符号化率Rに基づいてバンクチャージ処理することは第1の実施の形態のものと同様である。

【0032】この方法によれば、接続ケーブルの長さは並列データ読み出し用の分周クロックCLKBの周波数に依存し、折り返しの遅延時間内で、入力データDATABを取り込める範囲に限定される。

【0033】

【発明の効果】以上のように本発明によれば、正整数mを変えることにより、単一のクロック発生手段を用いて任意の符号化率の送信シンボルデータを生成することができる。このため符号化率可変誤り訂正送信装置におけるクロック関係の回路構成が簡単になり、ハードウェアのコストを低減することができる。

【0034】特に請求項2の発明によれば、上記の効果に加えて、信号源とのケーブル配線を2本で行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における符号化率可変誤り訂正送信装置の構成を示すブロック図である。

【図2】第1の実施の形態において、符号化率3/4の場合の並列直列変換器の動作を示すタイミング図である。

【図3】第1の実施の形態において、符号化率3/4の場合の畳込み符号化器及びバンクチャージ回路の動作を示すタイミング図である。

【図4】第1の実施の形態において、符号化率5/6の場合の並列直列変換器の動作を示すタイミング図である。

【図5】第1の実施の形態において、符号化率5/6の場合の畳込み符号化器及びバンクチャージ回路の動作を示すタイミング図である。

【図6】本発明の第2の実施の形態における符号化率可変誤り訂正送信装置の構成を示すブロック図である。

【図7】従来の符号化率可変誤り訂正送信装置の構成例を示すブロック構成図である。

【図8】従来例において、符号化率3/4の場合の並列直列変換器の動作を示すタイミング図である。

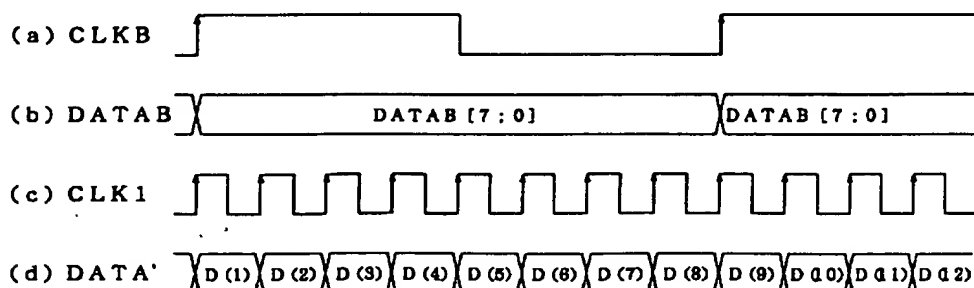
【図9】従来例の符号化率可変誤り訂正送信装置において、符号化率3/4の場合の並列直列変換器の動作を示すタイミング図である。

【図10】従来例の符号化率可変誤り訂正送信装置において、符号化率5/6の場合の畳込み符号化器及びバンクチャージ回路の動作を示すタイミング図である。

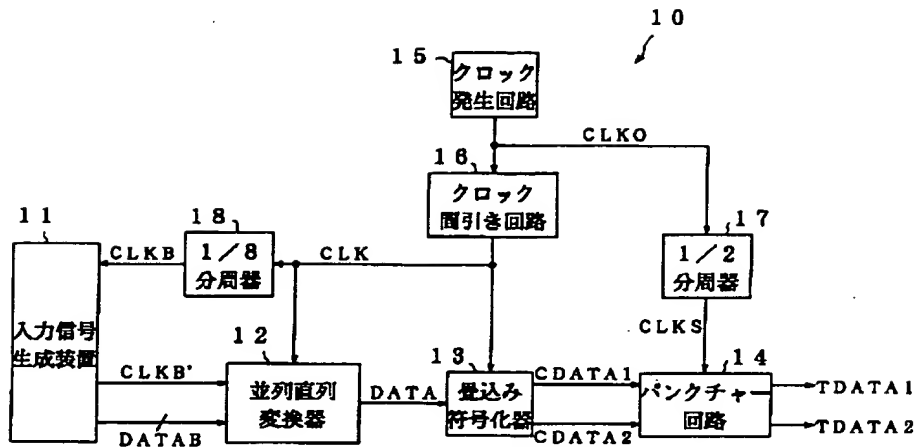
【符号の説明】

- 10, 10A 符号化率可変誤り訂正送信装置
- 11, 11A 入力信号生成装置
- 12, 12A 並列直列変換器
- 13 畳込み符号化器
- 14 バンクチャージ回路
- 15 クロック発生器
- 16 クロック間引き回路
- 17 1/2分周器
- 18 1/8分周器

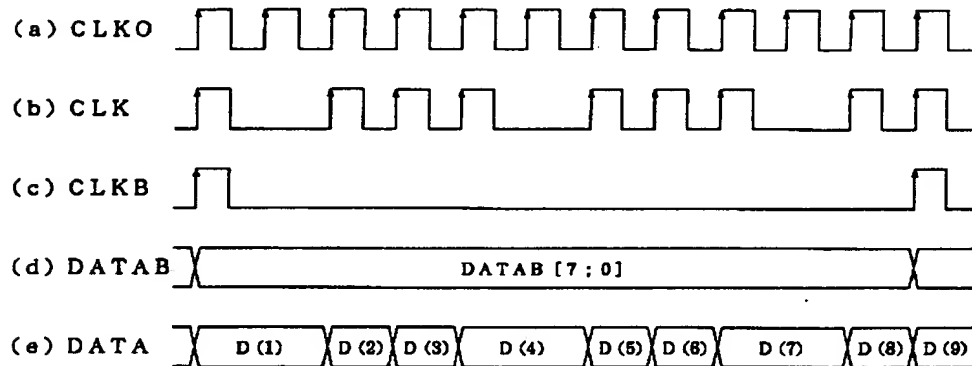
【図8】



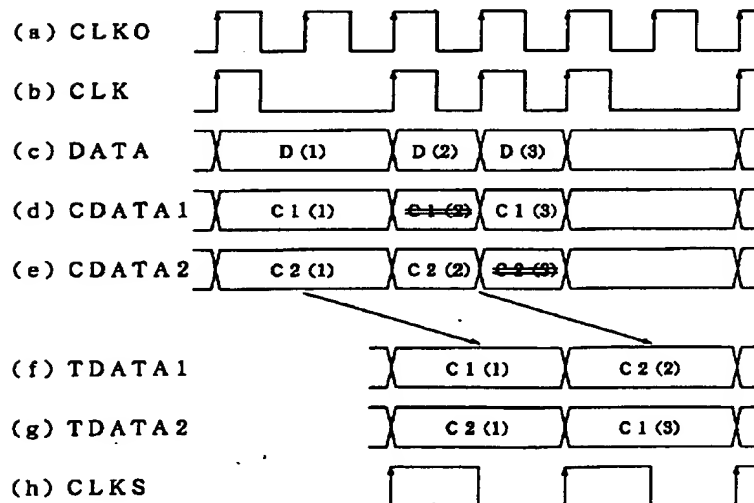
【図1】



【図2】

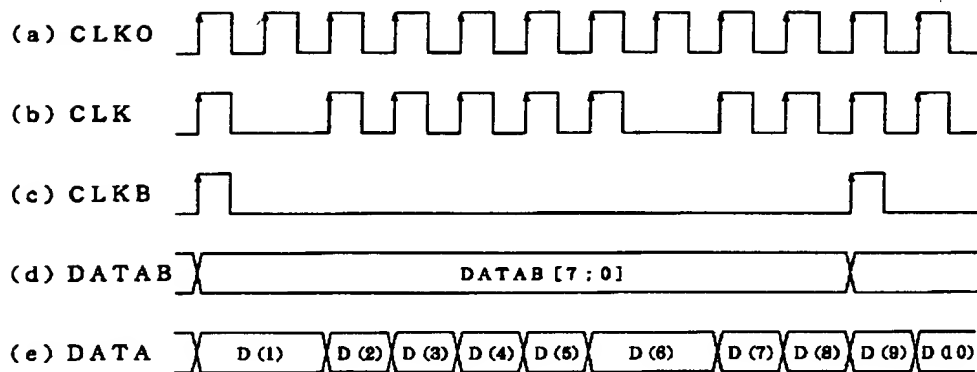


【図3】

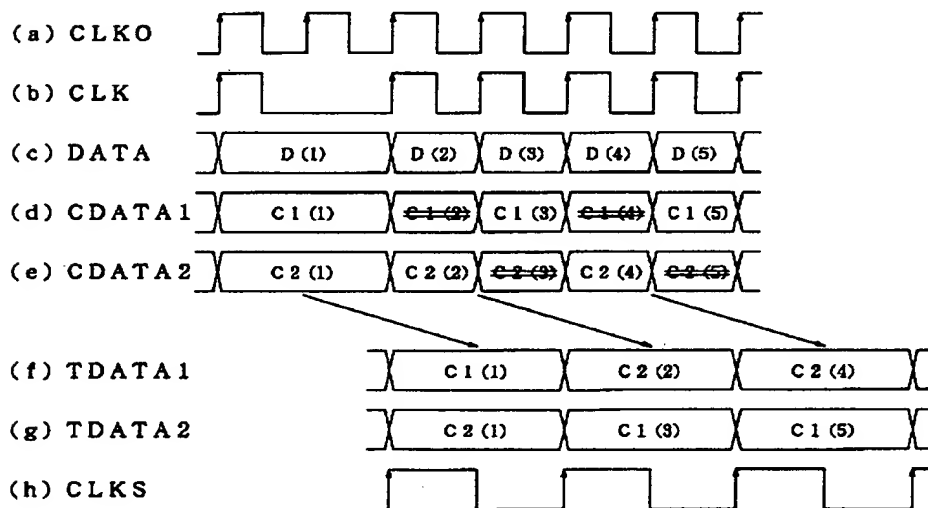




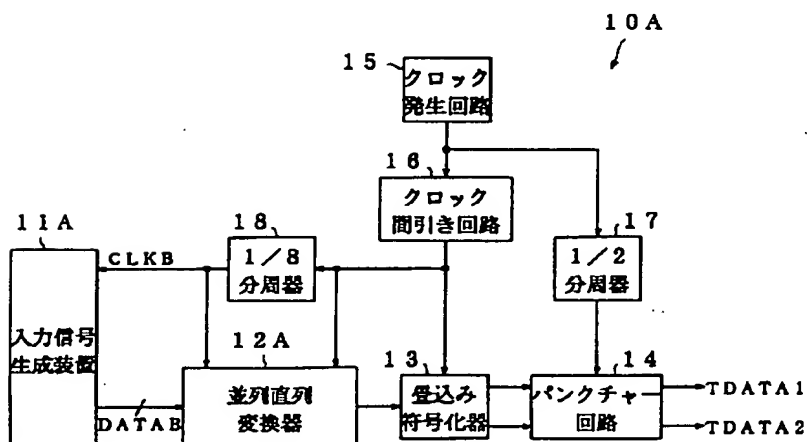
【図4】



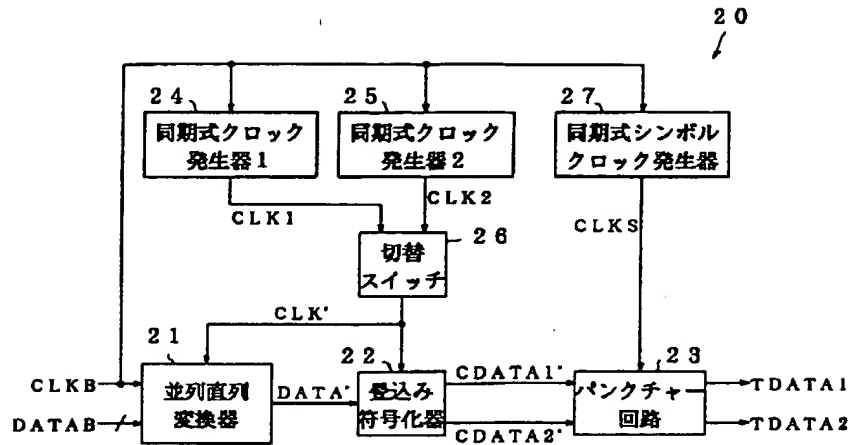
【図5】



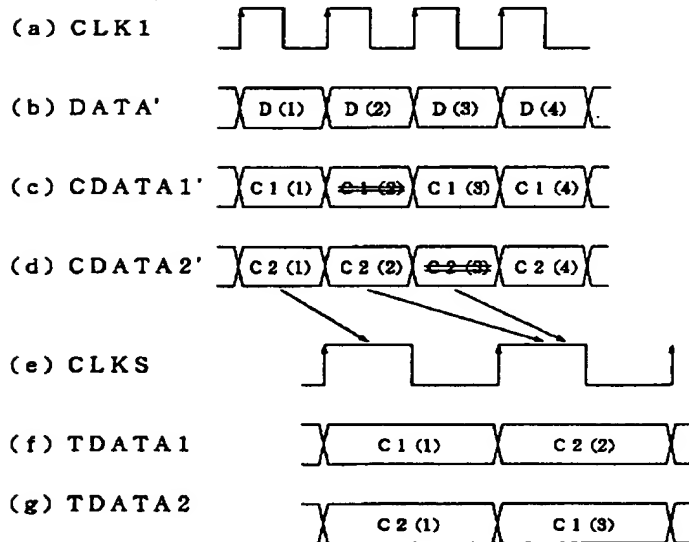
【図6】



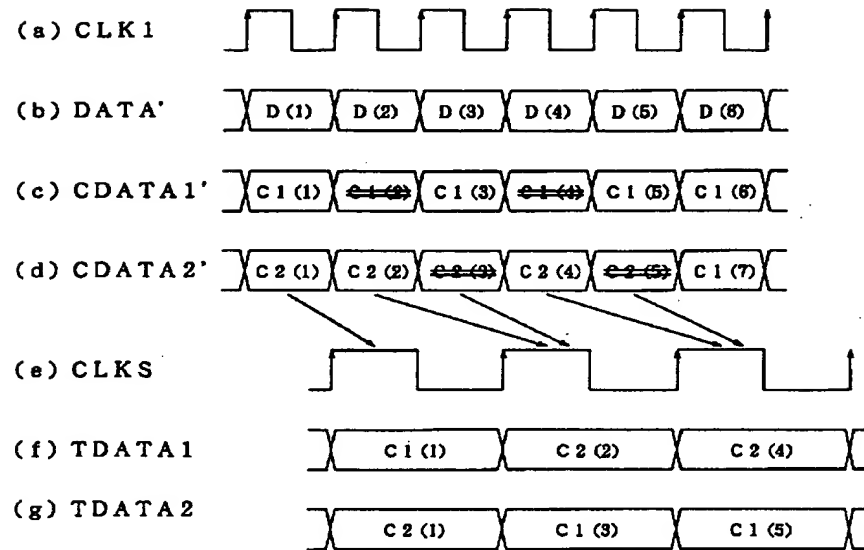
【図7】



【図9】



【図10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**